

DELPHION

RESEARCHPRODUCTSINSIDE DELPHION

My Account

Search: Quick/Number Boolean Advanced

No action

The Delphion Integrated View: INPADOC Record

Get Now: ☒ PDF | File History | Other choices

Tools: Add to Work File: Create new V

View: Jump to: Top

Go to: Derwent

- Title:

Derwent Title:

Country:

Kind:

Inventor:

Assignee:

Published / Filed:

Application Number:

IPC Code:

ECLA Code:

Priority Number:

Abstract:

**KR3001069A: METHOD FOR FORMING COPPER INTERCONNEC  
SEMICONDUCTOR DEVICE**

Forming copper interconnection of semiconductor device [Derwent Record]

KR Republic of Korea

A Examined Patent Application i

MIN, U SIK; Republic of Korea

**HYNIX SEMICONDUCTOR INC.** Republic of Korea  
News, Profiles, Stocks and More about this company

2003-01-06 / 2001-06-28

**KR2001000037399**

Advanced: **H01L 21/28**;  
Core: **H01L 21/02**;  
IPC-7: **H01L 21/28**;

None

2001-06-28 **KR2001000037399**

PURPOSE: A copper interconnection formation method of a semiconductor device is provided to restrain contaminations and to simplify manufacturing processes by directly depositing a ternary system of TiN and a binary system of TiN without using a seed layer. CONSTITUTION: After forming an interlayer dielectric(22) on a lower layer(21), a damascene pattern is formed by selectively etching the interlayer dielectric(22). A ternary-system barrier film (24a) and a binary-system barrier film(24b) are sequentially deposited on the interlayer dielectric including the damascene pattern. A copper film is then formed on the binary-system barrier film(24b) by using an electroplating.
- 
- Family:

PDF	Publication	Pub. Date	Filed	Title
<input checked="" type="checkbox"/>	KR3001069A	2003-01-06	2001-06-28	METHOD FOR FORMING COPPER INTERCONNECTION OF SEMICONDI DEVICE

1 family members shown above
- Other Abstract Info:

Inquire Regarding Licensing
- Click Here to order Patent Plaques
- Gallery of Obscure Patents
- Nominate this for the Gallery...
- https://www.delphion.com/details?pn=KR03001069A\_ 05/12/2007

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) 。 Int. Cl. 7  
H01L 21/28

(11) 공개번호 특2003- 0001069  
(43) 공개일자 2003년01월06일

(21) 출원번호 10- 2001- 0037399  
(22) 출원일자 2001년06월28일

(71) 출원인 주식회사 하이닉스반도체  
경기 이천시 부발읍 아미리 산136- 1  
(72) 발명자 민우식  
경기도이천시중포동94- 3신한아파트109- 1201  
(74) 대리인 특허법인 신성

심사청구 : 있음

(54) 반도체소자의 구리 배선 형성 방법

요약

본 발명은 시드층 증착에 따른 막내 불순물함유를 방지하고 공정을 단순화시키는데 적합한 구리배선의 형성 방법을 제 공하기 위한 것으로, 기판상에 절연막을 형성하는 단계, 상기 절연막을 선택적으로 식각하여 다마신 패턴을 형성하는 단계, 상기 다마신 패턴을 포함한 절연막상에 삼원계 배리어막을 증착하는 단계, 상기 삼원계 배리어막상에 인시튜로 이원계 배리어막을 증착하는 단계, 상기 이원계 배리어막상에 구리막을 전해도금하는 단계, 및 상기 구리막, 상기 삼원 계 및 이원계 배리어막을 화학적기계적연마하여 상기 다마신 패턴에 매립시키는 단계를 포함하여 이루어진다.

대표도

도 2c

색인어  
다마신, 구리, 삼원계, 이원계, 배리어막, 전해도금

명세서

도면의 간단한 설명

도 1a 내지 도 1c는 종래기술에 따른 구리배선 형성 방법을 도시한 공정 단면도,

도 2a 내지 도 2c는 본 발명의 실시예에 따른 구리배선 형성 방법을 도시한 공정 단면도.

\*도면의 주요 부분에 대한 부호의 설명

21 : 하부층 22 : 중간절연막

23 : 트렌치 24a : 삼원계 TiN(M)

24b : 이원계 TiN 25 : 구리막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자의 제조 방법에 관한 것으로, 특히, 구리 배선 형성 방법에 관한 것이다.

일반적으로 반도체 소자 제조시 소자와 소자간 또는 배선과 배선간을 전기적으로 연결시키기 위해 금속 배선을 사용하고 있다.

이러한 금속 배선 재료로는 알루미늄(Al) 또는 텅스텐(W)이 널리 사용되고 있으나, 낮은 용점과 높은 비저항으로 인하여 초고집적 반도체 소자에 더이상 적용이 어렵게 되었다. 반도체 소자의 초고집적화에 따라 비저항은 낮고 일렉트로 마이그레이션(electromigration; EM) 및 스트레스마이그레이션(stressmigration; SM) 등의 신뢰성이 우수한 물질의 이용이 필요하게 되었으며, 이에 부합할 수 있는 가장 적합한 재료로 구리가 최근에 관심의 대상이 되고 있다.

구리를 금속배선 재료로 이용하는 이유는, 구리의 녹는점이 1080°C로서 비교적 높을 뿐만 아니라(알루미늄: 660°C, 텅스텐: 3400°C), 비저항은 1.7 $\mu\Omega\text{cm}$ 로서 알루미늄(2.7 $\mu\Omega\text{cm}$ ), 텅스텐(5.6 $\mu\Omega\text{cm}$ )보다 매우 낮기 때문이다.

그러나, 구리 배선은 식각이 어렵고, 부식이 확산되는 문제를 지니고 있으며, 실리콘 및 산화물내에서 매우 빠른 확산도를 가지고 있으므로 구리의 확산을 막아줄 확산배리어메탈(Diffusion barrier metal)이 필요하다.

이를 개선하고 실용화하기 위하여 싱글 다마신 공정(Single damascene process) 또는 듀얼 다마신 공정(Dual Damascene process)을 적용하였는데, 특히 듀얼 다마신 공정(Dual Damascene)을 주로 적용하고 있다.

여기서, 다마신 공정이라 함은 절연막(Dielectric layer)을 사진 및 식각으로 식각하여 트렌치(Trench)를 형성하고, 이 트렌치에 텅스텐(W), 알루미늄(Al), 구리(Cu) 등의 도전 물질을 채워 넣고 필요한 배선 이외의 도전 물질은 에치백(Etchback)이나 화학적기계적연마(Chemical Mechanical Polishing; CMP) 등의 기술을 이용하여 제거함으로써 처음에 형성한 트렌치 모양으로 배선을 형성하는 기술이다.

상기한 다마신 공정은, 특히 듀얼 다마신 공정은 주로 DRAM 등의 비트 라인(bit line) 또는 워드라인(Wordline), 금속배선 형성에 이용되며, 특히 다층 금속배선에서 상층 금속배선과 하층 금속배선을 접속시키기 위한 비아홀을 동시에 형성할 수 있을뿐만 아니라, 금속배선에 의해 발생하는 단차를 제거할 수 있으므로 후속 공정을 용이하게 하는 장점이 있다.

최근에는 전해도금(Electro Plating; EP)을 이용한 구리 배선공정이 실용화 단계에 이르고 있는데, 구리배선 공정은 반응성이온식각(Reactive Ion Etching; RIE) 방식으로 배선을 형성하는 알루미늄배선 공정과 달리 듀얼 다마신 공정을 이용하여 패턴을 형성시키고 배리어메탈을 증착한 후 구리의 전해도금으로 배선을 형성시킨다.

이 때, 구리 전해도금은 배리어메탈상에서 직접 이루어지는 것이 불가능하기 때문에 시드층(seed layer)으로서 구리를 얇게 증착한 후 전해도금을 수행해야 한다. 대표적인 방법으로는 물리기상증착(Physical Vapor Deposition; PVD) 방식의  $TaN_x$ , 구리시드층(Cu seed)을 순차적으로 증착한 후 구리를 전해도금한다.

그러나,  $0.13\mu m$  이하의 기술에서는 물리기상증착방식으로 배리어메탈을 증착하는 것이 더이상 불가능하고, 이를 해결하기 위해 단차피복성이 우수한 화학기상증착(Cheical Vapor Deposition; CVD) 방식을 적용하고 있다. 또한, 구리 전해도금을 위한 물리기상증착(PVD) 방식의 구리 시드층의 증착도 미세한 크기의 패턴에는 더이상 적용할 수 없는 문제점이 있다.

이와 같은 화학기상증착(CVD) 방식의 배리어메탈로는 TiN, WN, TaN 등이 적용되고 있으나, 특히 TiN은 통상의 알루미늄배선 공정에 사용되고 있는 것이므로 가장 이용 가능성이 높으며, TiN막 위에서 우수한 막질의 구리 전해도금막을 얻을 수 있다는 것이 보고된 바 있다.[Yuri, Lantsov, Roger palmans, and Karen maex, " Direct copper electroplating" , Advanced Metallization Conference in 2000, San Diego, CA, abstract No.53]

그러나, CVD- TiN으로는 구리배선에 대한 배리어막으로서의 역할을 충분히 수행하지 못하므로 Si, B, W과 같은 제3의 원소(M)가 첨가된 TiN(M)을 사용하는 방법에 제안되었다.

도 1a 내지 도 1b에 도시된 바와 같이, 종래기술에 따른 구리배선의 형성 방법을 간략히 도시한 도면이다.

도 1a에 도시된 바와 같이, 반도체기판, 소스/드레인, 금속층 등의 하부층(11)상에 층간절연막(12)을 증착한 후, 층간절연막(12)을 선택적으로 식각하여 하부층(11)의 소정 표면을 노출시키는 다마신 패턴인 트렌치(13)를 형성한다.

도 1b에 도시된 바와 같이, 트렌치(13)가 형성된 층간절연막(12)상에 TiN(M)(M= Si, W, B)(14)을 증착한 후, TiN(M)(14)상에 구리의 전해도금을 위한 구리 시드층을 화학기상증착법(CVD) 또는 무전해도금법으로 증착한다. 그리고, 얇게 증착된 구리시드층상에 전해도금법으로 구리막(15)을 증착한다.

도 1c에 도시된 바와 같이, 층간절연막(12)의 표면이 드러날때까지 화학적기계적연마를 실시하여 트렌치에 매립되는 구리배선(16)을 형성한다. 이 때, 구리배선(16)과 하부층(11)상에 TiN(14)이 배리어막으로 잔류한다.

상술한 종래기술에서는 구리배선(16)의 배리어막으로 3상의 TiN(M)을 사용하고, 화학기상증착법으로 구리 시드층을 형성한 후, 전해도금법으로 구리막을 증착한다.

그러나, 종래기술은 구리 전해도금을 위해 화학기상증착법 또는 무전해도금법을 적용하였으나, 이는 공정을 복잡하게 함과 더불어 구리막 내부에 불순물이 다량 함유된다는 문제점이 있다.

#### 발명이 이루고자 하는 기술적 과제

본 발명은 상기한 종래기술의 문제점을 해결하기 위해 안출한 것으로서, 시드층 증착에 따른 막내 불순물함유를 방지하고 공정을 단순화시키는데 적합한 구리배선의 형성 방법을 제공하는데 그 목적이 있다.

#### 발명의 구성 및 작용

상기의 목적을 달성하기 위한 본 발명의 구리 배선의 형성 방법은 기판상에 절연막을 형성하는 단계, 상기 절연막을 선택적으로 식각하여 다마신 패턴을 형성하는 단계, 상기 다마신 패턴을 포함한 절연막상에 삼원계 배리어막을 증착하는 단계, 상기 삼원계 배리어막상에 인시투로 이원계 배리어막을 증착하는 단계, 상기 이원계 배리어막상에 구리막을 전해도금하는 단계, 및 상기 구리막, 상기 삼원계 및 이원계 배리어막을 화학적기계적연마하여 상기 다마신 패턴에 매립시키는 단계를 포함하여 이루어짐을 특징으로 한다.



그리고, 상기 상기 삼원계 배리어막은  $TiSiN$ ,  $TiWN$  또는  $TiBN$  중에서 선택된 어느 하나이고, 상기 이원계 배리어막은  $TiN$ 인 것을 특징으로 하고, 상기 삼원계 배리어막과 이원계 배리어막은 화학기상증착법으로 증착되는 것을 특징으로 한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

본 발명은 3상의  $TiN(M)$  위에 인시튜로 2상의  $TiN$ 을 증착함으로써 시드층을 별도로 증착하지 않고 배리어막상에 직접 전해도금법으로 구리막을 형성하도록 한 구리 배선의 형성 방법을 제공한다.

도 2a 내지 도 2c는 본 발명의 실시예에 따른 구리 배선의 형성 방법을 도시한 공정 단면도이다.

도 2a에 도시된 바와 같이, 반도체기판, 소스/드레인, 금속층 등의 하부층(21) 상에 중간절연막(22)을 증착한 후, 중간절연막(22)을 선택적으로 식각하여 하부층(21)의 소정 표면을 노출시키는 트렌치(23)를 형성한다. 이 때, 트렌치(23)를 다마신 패턴이라 한다.

여기서, 중간절연막(22)은 실리콘산화막이나 저유전체막을 사용하되, 저유전체막은 1~3의 유전상수를 갖는 막을 사용한다. 그리고, 트렌치(23) 형성시, 싱글 다마신 공정이나 듀얼 다마신 공정을 적용한다.

도 2b에 도시된 바와 같이, 트렌치(23)가 형성된 중간절연막(22) 상에 화학기상증착법으로 삼원계  $TiN(M)$  ( $M=Si, W, B$ )(24a)을 증착한 후, 삼원계  $TiN(M)$  (24a) 상에 진공을 그대로 유지한 채 인시튜(in-situ)로 이원계  $TiN$  (24b)을 증착한다.

여기서, 삼원계  $TiN(M)$  (24a)는  $TiSiN$ ,  $TiWN$  또는  $TiBN$  중에서 선택된 어느 하나이고, 삼원계  $TiN(M)$  (24a)은 10Å ~ 100Å의 두께로 증착된다. 그리고, 이원계  $TiN$  (24b)은 삼원계  $TiN(M)$  (24a)과 동일하게 화학기상증착법으로 증착되되, 10Å ~ 100Å의 두께로 증착된다.

계속해서, 이원계  $TiN$  (24b) 상에 전해도금법으로 구리막(25)을 증착한 후, 열처리 공정을 실시한다.

도 2c에 도시된 바와 같이, 중간절연막(22)의 표면이 드러날때까지 화학적기계적연마를 실시하여 트렌치에 매립되는 구리배선(26)을 형성한다.

상술한 것처럼, 본 발명은 구리배선(26)의 배리어막으로서 가장 적합한 3상  $TiN(M)$  (24a)을 이용함과 동시에 표면에 2상  $TiN$  (24b)을 노출시키므로써 시드층을 증착하지 않고 직접 구리막(25)을 전해도금한다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

#### 발명의 효과

상술한 바와 같은 본 발명은 화학기상증착법으로 삼원계  $TiN(M)$ 을 증착하고, 삼원계  $TiN(M)$  상에 인시튜로 이원계  $TiN$ 을 증착하므로써, 전해도금을 위한 시드층을 별도로 증착하지 않아도 되므로, 시드층으로 인한 막내 불순물 함유를 억제할 수 있으며, 또한 추가적인 배리어막 및 시드층 증착장치를 구입하지 않고 통상 알루미늄 배선 공정에 적용되는 CVD 장치의 개조만으로도 배리어막을 증착할 수 있어 공정을 단순화시키고 비용을 절감할 수 있는 효과가 있다.

#### (57) 청구의 범위

##### 청구항 1.

구리 배선의 형성 방법에 있어서,  
 기판상에 절연막을 형성하는 단계;  
 상기 절연막을 선택적으로 식각하여 다마신 패턴을 형성하는 단계;  
 상기 다마신 패턴을 포함한 절연막상에 삼원계 배리어막을 증착하는 단계;  
 상기 삼원계 배리어막상에 인시튜로 이원계 배리어막을 증착하는 단계;  
 상기 이원계 배리어막상에 구리막을 전해도금하는 단계; 및  
 상기 구리막, 상기 삼원계 및 이원계 배리어막을 화학적기계적연마하여 상기 다마신 패턴에 매립시키는 단계  
 를 포함하여 이루어짐을 특징으로 하는 구리 배선의 형성 방법.

## 청구항 2.

제 1 항에 있어서,  
 상기 삼원계 배리어막은  $TiSiN$ ,  $TiWN$  또는  $TiBN$  중에서 선택된 어느 하나이고, 상기 이원계 배리어막은  $TiN$ 인 것을  
 특징으로 하는 구리 배선의 형성 방법.

## 청구항 3.

제 1 항에 있어서,  
 상기 삼원계 배리어막과 이원계 배리어막은 화학기상증착법으로 증착되는 것을 특징으로 하는 구리 배선의 형성 방법.

## 청구항 4.

제 1 항에 있어서,  
 상기 삼원계 배리어막은  $10\text{\AA} \sim 100\text{\AA}$  의 두께로 증착되는 것을 특징으로 하는 구리 배선의 형성 방법.

## 청구항 5.

제 1 항에 있어서,  
 상기 이원계 배리어막은  $10\text{\AA} \sim 100\text{\AA}$  의 두께로 증착되는 것을 특징으로 하는 구리 배선의 형성 방법.

## 청구항 6.

제 1 항에 있어서,  
 상기 절연막은 실리콘산화막 또는 저유전체막 중에서 선택된 어느 하나인 것을 특징으로 하는 구리 배선의 형성 방법.

## 청구항 7.

제 6 항에 있어서,

상기 저유전체막은 1~ 3의 유전상수를 갖는 것을 특징으로 하는 구리 배선의 형성 방법.

청구항 8.

제 1 항에 있어서,

상기 구리막을 전해도금한 후, 상기 전해도금된 구리막을 열처리하는 단계를 더 포함함을 특징으로 하는 구리 배선의 형성 방법.

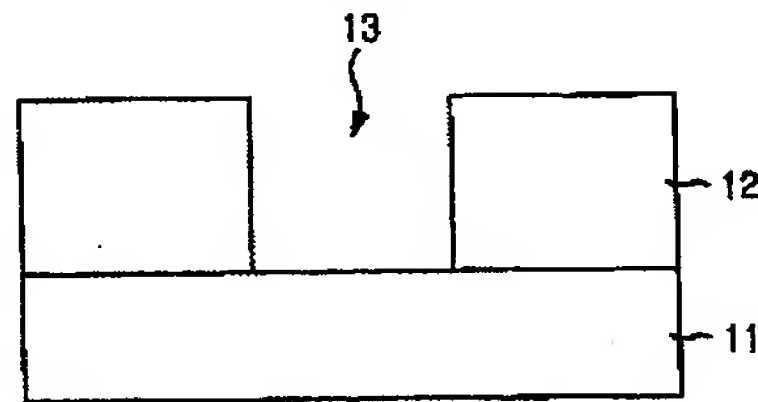
청구항 9.

제 1 항에 있어서,

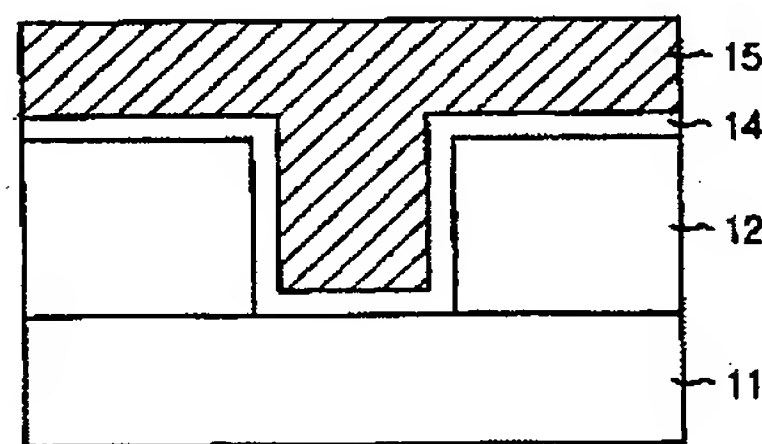
상기 다마신 패턴은 싱글 다마신 또는 듀얼 다마신 중 어느 하나인 것을 특징으로 하는 구리 배선의 형성 방법.

도면

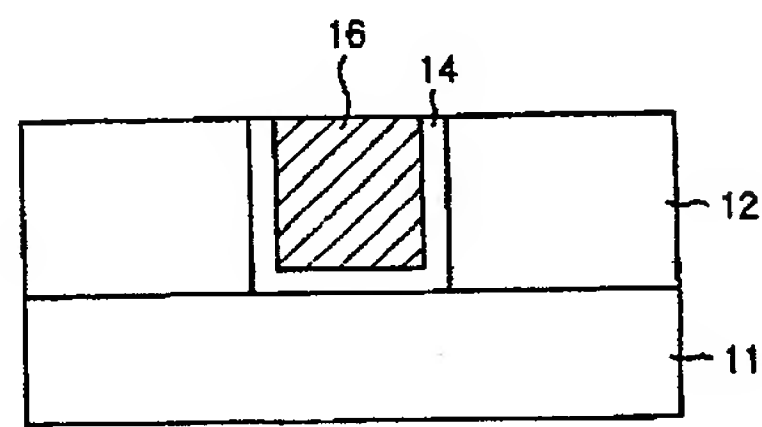
도면 1a



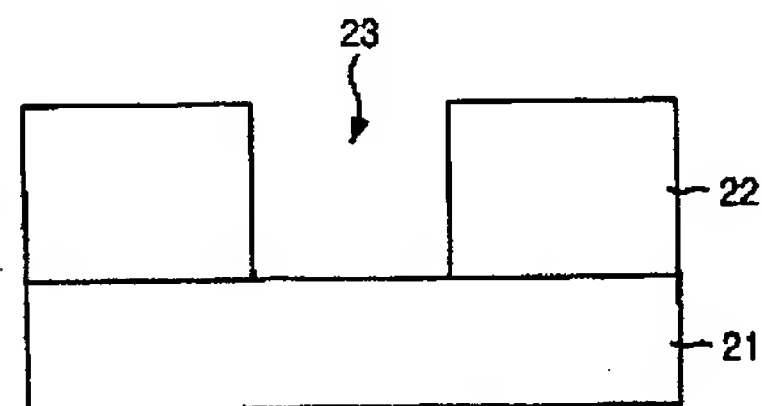
도면 1b



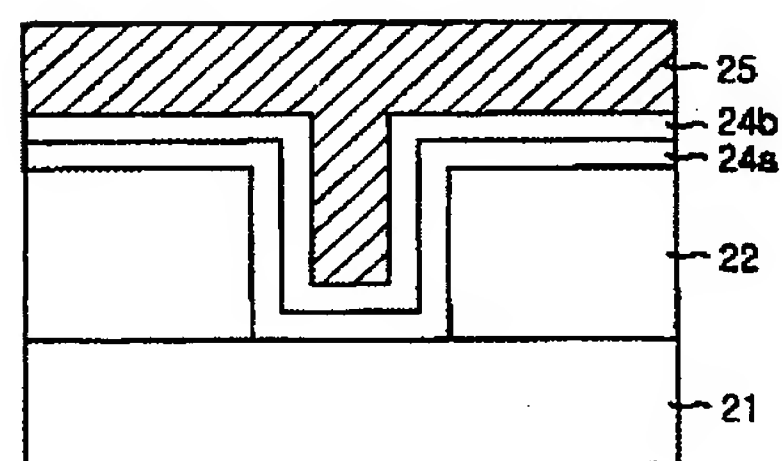
도면 1c



도면 2a



도면 2b





도면 2c

